



Sinais cruzados

ESTUDO DE CASO



Os engenheiros da Smart Modular Technologies utilizaram a plataforma ANSYS Electronics Desktop para reduzir o tempo necessário para análise da integridade do sinal de um circuito impresso de alta velocidade de dias a horas. Ao usar simulação eletromagnética, térmica e estrutural unificada, os engenheiros desenvolveram um adaptador de memória confiável.

A Smart Modular Technologies (SmartM) é uma das principais fabricantes de memória dinâmica de acesso aleatório (DRAM), flash e tecnologias de memória híbridas. A empresa precisava desenvolver um adaptador SO-DIMM (small outline dual in-line memory module) para UDIMM (unregistered dual in-line memory module) para que a platafor-

ma de teste pudesse ser utilizada para os dois tipos de módulos. Quando instalada, a primeira versão do adaptador não funcionou, e os engenheiros suspeitavam de um problema de integridade do sinal. No passado, este diagnóstico obrigava os engenheiros a simular a placa inteira em um simulador eletromagnético do tipo 2.5-D, que pode lidar com layouts complexos e, em seguida, transferir o resultado dos parâmetros S para um simulador de onda completa 3D, para fornecer a alta resolução necessária para pacotes críticos de circuito integrado (IC) e placas de circuito impresso (PCBs). Por fim, a equipe utilizava os dados dos parâmetros S da simulação combinada com um simulador de circuito para executar análises de rede linear. Esta abordagem era muito demorada e a equipe de engenharia precisava utilizar dois ou três pacotes de software diferentes e várias etapas de exportação / importação de dados. Este processo precisava ser repetido para cada iteração de design.

Os engenheiros da SmartM reduziram o tempo de simulação do adaptador em horas, trabalhando com a ESSS para implementar o fluxo de trabalho de montagem orientado por layout introduzido no ANSYS Electronics Desktop do ANSYS 18. A metodologia combina vários pacotes ANSYS, incluindo o Slwave – utilizado para analisar PCBs complexas, o HFSS – utilizado para simular conectores e redes de layout crítico, e um simulador de circuito integrado ao sistema, de modo que o parâmetro S do canal completo possa ser extraído de forma automatizada. A simulação revelou crosstalk e descasamento de impedância em três trilhas de sinal, que comprometeram a abertura do diagrama de olho, jitter e taxas de erro de bit. Os engenheiros da SmartM usaram esses resultados de simulação para determinar a origem dos problemas e alteraram o design da placa, de forma a mitigar os problemas. Eles também utilizaram o ANSYS Icepak e ANSYS

Mechanical para validar a integridade térmica da placa e sua capacidade de suportar estresse térmico-mecânico.



Figura 01: SmartM SO-DIMM

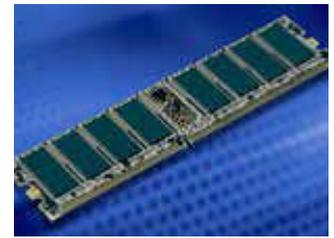


Figura 02: SmartM UDIMM

Problema de integridade do sinal resistente

Com altas taxas de dados e margens de baixa tensão, a integridade do sinal tornou-se um problema urgente para projetistas de placas de circuitos impressos. Neste caso, a placa passou a experimentar um testador de memória automatizado, com uma forte suspeita de que problemas de integridade do sinal (e não memória) seria a raiz do problema. A simulação no Slwave mostrou problemas de crosstalk e descasamento de impedância em várias trilhas de sinais e clock. Em seguida, os engenheiros verificaram cada byte lane que mostrava o diagrama de olho fechado.

No projeto original, as camadas de sinal e clock estavam próximas ao núcleo de PCB e com vários planos de alimentação e terra divididos acima e abaixo deles. Os engenheiros da SmartM mudaram a pilha para evitar problemas, tais como variações de impedância, onde traços cruzam a descontinuidade alimentação-terra. Eles reposicionaram os planos de terra diretamente acima e abaixo dos planos de sinal para melhorar o caminho de retorno. A alimen-

tação foi atribuída às camadas superior e inferior e as redes de baixa velocidade e de energia foram movidas para a camada inferior, deixando apenas as redes críticas de dados de memória e os sinais de clock na camada de sinal interno. Os engenheiros também experimentaram espessuras de camada para otimizar a impedância dos planos de sinal. Algumas trilhas foram redesenhadas para evitar a interferência entre trilhas na mesma camada.

Foram executadas simulações de impedância e crosstalk novamente para verificar a eficácia do novo projeto. As margens no diagrama de olho ficaram muito maiores do que o design original, o que indicava que o problema de integridade do sinal havia sido resolvido. Um teste de conformidade virtual padrão DDR4 JEDEC JESD79-4 confirmou que o novo design excedeu as margens DDR4.

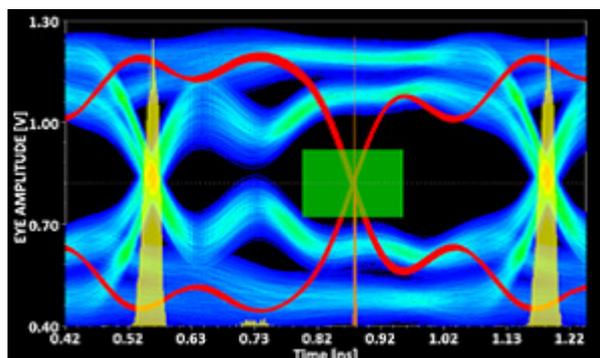


Figura 03: Diagrama de olho do projeto original

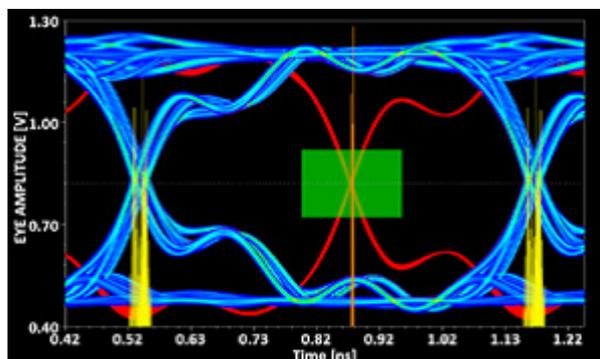


Figura 04: O projeto final alcançou um olho mais aberto, encontrando a Especificação DDR4.

Integridade térmica

Passou-se a analisar a integridade térmica do novo projeto. Foram calculadas as correntes contínuas, queda de tensão e potência na PCB usando o Slwave, e os resultados foram utilizados para calcular o aquecimento Joule. Este aquecimento está se tornando uma fonte cada vez mais importante de carregamento térmico em PCBs, pois os tamanhos das placas estão reduzindo, enquanto o consumo de energia permanece igual ou até mesmo aumenta. O fluxo de trabalho bidirecional automatizado ajudou a equipe da SmartM a exportar o mapa de rastreamento do quadro e as previsões de densidade atual para o ANSYS Icepak. Este calculou as temperaturas em cada ponto da placa e transferiu automaticamente essas informações de volta para o ANSYS Electronics Desktop. Então o Slwave atualizou as propriedades elétricas da solução de CC com base no campo de temperatura e recalculou o mapa de trilhas da placa e a densidade de corrente. A iteração automática continuou até que as temperaturas convergiram, indicando um aumento de temperatura de apenas 12°C no pior cenário.

Durabilidade estrutural

Os engenheiros também consideraram a durabilidade da conexão mecânica da PCB para o conector SO-DIMM. Foi criado um modelo estrutural usando o ANSYS SpaceClaim para ler a geometria do ECAD representada pela atribuição de propriedades do

material a cada elemento correspondente à proporção de metal e dielétrico apropriado para esse elemento. O modelo de elementos finitos resultante forneceu previsões precisas das tensões e deformação geradas pelo carregamento térmico ou mecânico em qualquer local da placa em uma fração do tempo necessário para resolver a geometria da placa totalmente detalhada. O esquema de tensão calculado pelo ANSYS Mechanical mostrou que o conector poderia funcionar de forma confiável ao longo da vida esperada.

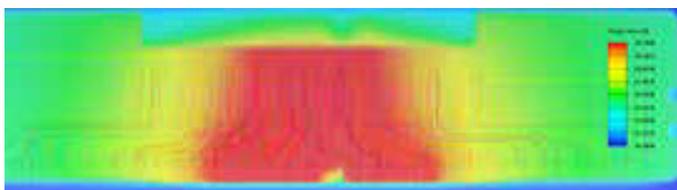


Figura 05: Temperatura na PCB calculada por ANSYS Icepak

As exigências de desempenho e confiabilidade dos sistemas eletrônicos modernos exigem que os engenheiros prestem muita atenção ao design de

PCB. Atender os requisitos de integridade do sinal frequentemente exigem um layout muito específico que pode ser extremamente difícil de conseguir com métodos de tentativa e erro. A simulação eletromagnética, térmica e estrutural de PCBs fornece uma abordagem muito mais rápida para atender aos padrões de interface de alta velocidade de hoje. A integração de uma ampla gama de ferramentas multifísicas possibilita, pela primeira vez, simular a integridade do sinal, a integridade térmica e a integridade mecânica de uma PCB completa em um período de tempo que é relevante para o ciclo de projeto em suas fases iniciais de desenvolvimento de produto. Neste projeto, a SmartM conseguiu desenvolver rapidamente uma solução interna adaptada às necessidades de engenharia antes que este adaptador atinja o mercado, com um custo 60% menor do que um adaptador comprado de um fornecedor. Ao mesmo tempo, a SmartM reduziu o tempo e o custo necessários para a prototipagem física em 50%.



A SmartM é líder global em soluções de memória especializadas, oferecendo soluções para uma ampla base de clientes nos mercados de computação, redes, comunicações, armazenamento, móveis e industriais. Desde 2002 no Brasil, a empresa oferece produtos de armazenamento, módulos de memória e circuitos integrados de memória DRAM e Flash com operações de design, encapsulamento e teste de semicondutores.